

TL de Systèmes Logiques et Électronique Associée Campus de Rennes, 1^{ère} Année

CHRONOMÈTRE NUMÉRIQUE

(version 2.00, 10 février 2003)

FONCTION

Le but de ce sujet est de réaliser un chronomètre numérique permettant de compter et de visualiser les secondes et les centièmes de secondes..

PRINCIPE

Le chronomètre est commandé par un bouton poussoir permettant de se placer dans un des trois états suivants :

- Remise à Zéro, (1)
- Comptage, (2)
- Affichage. (3)

Le résultat est affiché sur 2 afficheurs 7 segments.

En mode « Remise à Zéro » (1), les afficheurs affichent '00'.

En mode « Comptage » (2), les 2 afficheurs affichent les secondes.

En mode « affichage » (3), les afficheurs affichent alternativement les secondes et les centièmes.

Dans un premier temps, on partira de l'horloge disponible sur la carte (25,175 MHz), puis on divisera cette horloge de façon synchrone par le bon facteur pour obtenir une horloge à 200 Hz. Cette horloge deviendra l'horloge principale du système.

RÉALISATION

On utilisera ensuite une machine d'état à 4 états :

- l'état de repos, (1)
- l'état de comptage, (2)
- l'affichage des secondes, (3)
- l'affichage des centièmes, (3bis)

Cette machine utilisera un compteur auxiliaire synchrone permettant de passer régulièrement de l'état (3) à l'état (3bis) pour permuter l'affichage toutes les secondes.

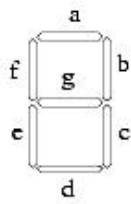
Afin de valider la conception générale, on tracera précisément le graphe des états de la machine d'état et les conditions de passage entre les états.

L'afficheur sera commandé par deux (un pour chaque digit) décodeurs combinatoires assurant la conversion binaire (BCD) \rightarrow 7 segments. On fera attention de synchroniser le signal provenant des boutons poussoirs avant d'attaquer la machine d'état.

Le système sera réalisé en logique **synchrone**.

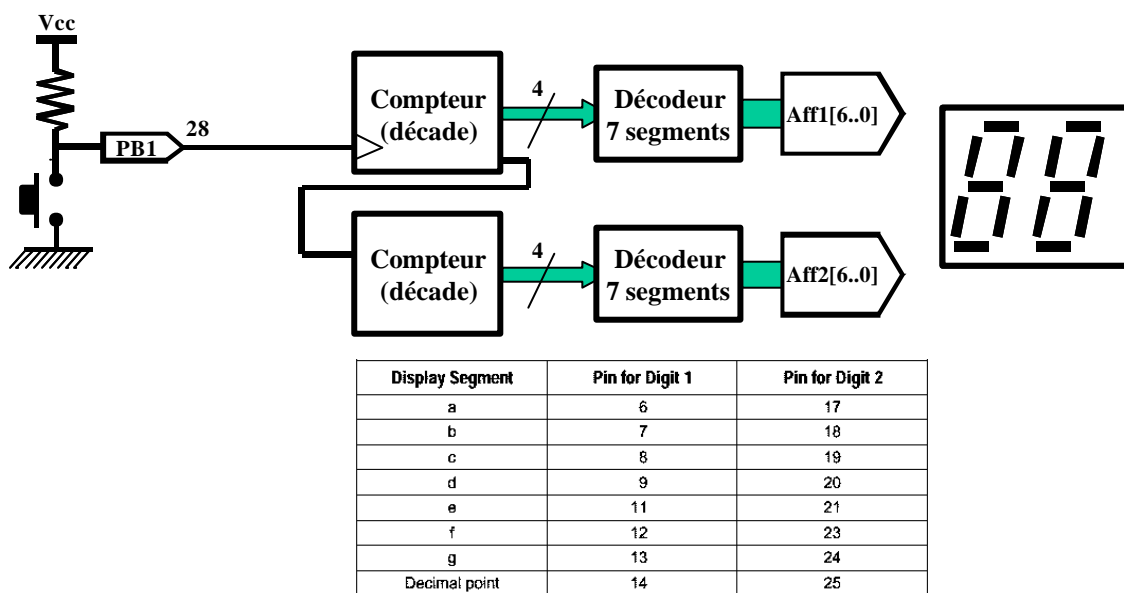
Démarrage de l'étude

Il est recommandé de démarrer l'étude par la conception des décodeurs BCD vers 7 segments à l'aide de portes logiques de base (AND, OR, XOR, ...) en veillant à optimiser la synthèse en nombre de portes ; on réalise le décodage par digit. La table de vérité des afficheurs est donnée ci-dessous :



Digit	Segment (« 0 » : éclairé)						
	a	b	c	d	e	f	g
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
2	0	0	1	0	0	1	0
3	0	0	0	0	1	1	0
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	0
6	0	1	0	0	0	0	0
7	0	0	0	1	1	1	1
8	0	0	0	0	0	0	0
9	0	0	0	0	1	0	0

La validation de la conception doit se faire dans un premier temps à l'aide du simulateur puis par une programmation de la carte ALTERA UP1; pour cette dernière opération, il est conseillé de procéder comme indiqué sur le schéma suivant :



Les numéros indiqués sur le schéma correspondent au brochage de la carte UP1. Les compteurs utilisés pour cette validation sont pris dans la bibliothèque (74160).

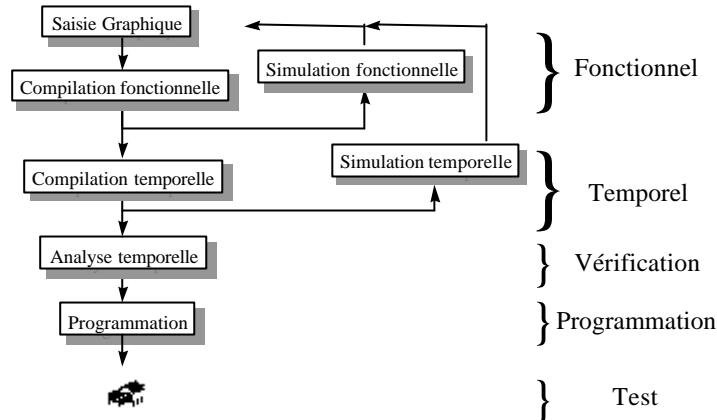
Suite de l'étude

Pour la suite, il vous est demandé de concevoir le système **sans** utiliser d'éléments de bibliothèque complexes (compteurs, par exemple) ; seule exception à cette règle, pour la génération de l'horloge à 200 Hz, il vous est fourni un diviseur par 1007 : **div1007** (disponible sur : plus/logiciel/electronique/tl_sle), il faut charger tous les fichiers (div1007.*) dans le répertoire de travail.

Outils de conception

Le logiciel Max+2 vous permet de saisir graphiquement votre conception et d'en faire une simulation fonctionnelle puis temporelle ; il permet également de programmer un composant de type FPGA placé sur une carte de développement..

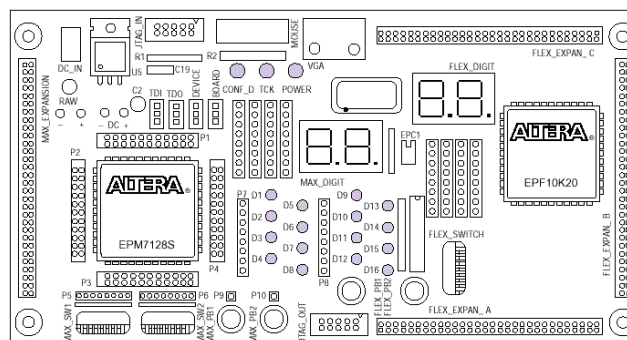
La chaîne de conception est la suivante :



Saisissez graphiquement votre schéma (*Graphic Editor*), compilez-le (*Compiler*) et vérifiez à l'aide de l'éditeur de signaux (*Waveform Editor*) et du simulateur (*Simulator*) la validité de la conception.

Lorsque vous avez activé le *Waveform Editor*, Activez le menu *Nodes/Inter nodes from SNF/List* pour forcer les signaux d'entrée aux valeurs désirées. Faites transiter les signaux sur une phase inactive de l'horloge (le front descendant par exemple), afin de lever l'ambiguïté sur l'instant d'échantillonnage. Vous utiliserez un pas de simulation (*Grid Size*) d'une microseconde, et une durée de simulation (*End Time*) de 100µs.

Le montage sera testé sur une carte de développement (Altera UP1), présentée ci-dessous.



Carte ALTERA UP1

Il vous faut forcer le compilateur de Max+2 à répartir les signaux d'entrée/sortie sur des broches spécifiées sur la figure précédente. Pour ce faire, activez le '*Floorplan Editor*', cliquez dans *Layout / Current Assignment Floorplan* et répartissez les '*Unassigned nodes*' sur les broches choisies.

Lancez la compilation, puis vérifiez dans le '*Floorplan Editor*' lorsque l'option dans *Layout / Last Compilation Floorplan* est activée, que le compilateur a bien respecté vos contraintes.

Travaux de Laboratoire

Électronique des Systèmes Logiques

Quelques commandes MaxPlus II

Graphic Editor

Symboles

Ajout :	<i>Symbol/Add_Symbol</i> ou <i>Double_Click</i>
Indispensables	<i>Input, Output</i> E/S de la feuille
Utiles :	<i>Vcc, Gnd</i> Forçage de niveau
Conseillés :	<i>NOT, NAND2, OR3, etc</i> portes de base
	<i>Dff, enadff, jkff, tff, etc</i> bascules
	<i>74160</i> compteur 4 bits (Décade)
Fonctionnalité :	<i>Help/Macrofunctions</i> ou bouton avec "?"
Schéma :	<i>Double_Click</i>
Taille de la feuille	<i>File/Size/Automatic</i> H ou V
Affichage de la grille	<i>Options/Show_Guidelines</i> Non (recommandé)
Collage des lignes	<i>Options/Rubberbanding</i> Oui (recommandé)

Compiler

Compilation fonctionnelle :	<i>Processing/Functionnal</i> Oui, pour les premières séances
Compilation temporelle :	<i>Processing/Functionnal</i> Non, pour les dernières séances
Choix de composant :	<i>Assign/Device/Flex10k20RC240</i> ... Pour les dernières séances

Waveform Editor

Durée de simulation :	<i>File/Size</i> 100us
Pas de la grille :	
Définition :	<i>Options/grid_size</i> 1us
Accrochage :	<i>Options/Snap_to_Grid</i> Oui
Signaux :	
Ajout (après compil.) :	<i>Node/Enter_Node_from_SNF</i> puis <i>List</i>
Modification :	<i>Edit/Overwrite</i> L, H, X
Inversion (Toggle) :	<i>Right_Click</i>
Groupement (bus) :	<i>Node/Enter_Group</i> Après sélection des signaux
Répétition :	<i>Edit/repeat/xxxx</i> Après une copie d'un motif

Quelques remarques sur la conception

La synthèse doit être effectuée en logique séquentielle synchrone, c'est à dire que :

1. l'horloge (globale à un module) ne doit être employée que sur les entrées d'horloge des bascules
2. Il est **STRICTEMENT** interdit d'utiliser les entrées asynchrones des bascules et compteurs (Set/Reset) pour effectuer une fonction logique.

Documentations en ligne sur le WEB :

<http://www.supelec-rennes.fr/ren/fi/elec> (rubrique FPGA - CPLD)

Répertoire sur le réseau : [platus/logiciel/electronique/altera/tl_sle](#)